robotron

Erweiterungsmodul A 5120.16

Betriebsdokumentation

Inhaltsverzeichnis

		Seite
I.	**Montagevorschrift**	
1.	Geltungsbereich	2
2.	Benötigte Hilfsmittel	2
3.	Einbau- und Montageanleitung	2
4.	Inbetriebnahme	2
II.	**Technische Daten**	
1.	Allgemeine Charakteristik	3
1.1.	Systemübersicht	3
1.2.	Gerätevarianten	4
2.	Technische Daten für den EM	5
3.	Belegungsplan	6
III.	**Funktionsbeschreibung**	
1.	Steuereinheit EM	7
1.1.	Blockschaltbild	7
1.2.	Taktgenerator	7
1.3.	Statusdecoder für den U 8000	8
1.4.	Segmentweiche und Adreßumschalter	9
1.5.	Attributspeicher	10
1.6.	Steuerregister	11
1.7.	Anpassung des EM an den K 1520-Bus	12
1.7.1.	I/O-Decoder	12
1.7.2.	Steuer-PIO A32	12
1.7.3.	Betriebsartensteuerung	14
1.8.	RDY-Bildung	15
1.9.	Speicherprioritätensteuerung	15
1.10.	Adreß-Datenbustreiber	15
1.11.	Eigenrefreshgenerator	15
1.12.	Einzelbefehlsabarbeitung	16
2.	Speicher des EM	16
2.1.	Allgemeines	16
2.2.	Blockschaltbild	17
2.3.	Speichermatrix	17
2.3.1.	Ansteuerung der Speichermatrix 64 KByte	17
2.3.2.	Ansteuerung der Speichermatrix 256 KByte	18
2.4.	RAS-Decoder	18
2.5.	Ablaufsteuerung	21
2.6.	Refreshzähler	22
2.7.	Paritätssteuerung	22
IV.	**Kurzzeichenübersicht**	
	(EM-spezifische Signale)	23
	Serviceschaltpläne	

I. Montagevorschrift

1. Geltungsbereich

Diese Vorschrift gilt für die Nachrüstung und Inbetriebnahme des Erweiterungsmoduls (EM) im Bürocomputer A 5120.

2. Benötigte Hilfsmittel

- Wickelpistole bsw. Wickelnadel
- Schaltdraht Y 1 x 0,3, TGL 21806
- Schraubendreher
- Diskette mit System UDOS, U 8000-Monitor und OS 16 zum Start des U 8000-Monitors aus UDOS heraus (Stand: 8/85)
- Bedienungsanleitung für U 8000-Monitor

3. Einbau- und Montageanleitung

Der EM besteht aus zwei Steckeinheiten, die im Paneel des A 5120 an den Bus des K 1520 adaptiert werden und griffseitig untereinander verbunden sind. Für die Einbringung der beiden Steckeinheiten in das Paneel sind nach dem Ziehen des Netzsteckers die Rückwand, der Lüfter und die beiden Transportsicherungen für die Steckeinheiten abzuschrauben. Gegebenenfalls muß der Modulkasten zurückgeklappt werden.
Die STE des EM werden auf die den vorhandenen STE folgenden Steckplätze gesteckt, wobei sich die Steuerkarte auf dem niederen Steckplatz befindet. Danach werden beide Steckeinheiten griffseitig miteinander verbunden. Die dazu notwendigen Kabel sind auf der Speicherkarte eingelötet und werden an der Steuerkarte angesteckt. Die Kabel sind so zu legen, daß sie so dicht wie möglich an der Leiterplatte liegen.
An der zum Paneel zeigenden offenen Lüfterseite wird der Lüfterschutz (083-4-060-651; 1.62.141678.2) mit Hilfe von 2 Schrauben BM 4 x 10, 2 Scheiben 4,3, 2 Federscheiben 4 und 2 Sechskantschrauben M4 befestigt.
Danach können Transportsicherungen, Modulkasten, Lüfter und Rückwand wieder befestigt werden.
Als weitere Maßnahme ist es notwendig, die IEI-IEO-Kette zu erweitern.
Dazu ist die zwischen Bildschirm- und Floppyblende befindliche Blende abzuschrauben, um den Zugang zur Rückverdrahtung zu besitzen.
Die Kette muß bis zu dem Steckplatz, auf dem sich die Steuerplatte des EM befindet, verlängert werden. Dazu ist die von Steckplatz 1, Kontakt X1:A10 ausgehende Verbindung bis an den Kontakt X1:C10 des Steckplatzes der Steuerplatte des EM zu verlängern.

4. Inbetriebnahme

Die Inbetriebnahme erfolgt derzeit mit dem U 8000-Monitor, der unter UDOS geladen und gestartet wird.
Es sind die Funktionen FILL, COMPARE, DISPLAY sowie der Eigentest durchzuführen.
Alle Funktionen müssen fehlerfrei abgearbeitet werden.

II. Technische Daten

1. Allgemeine Charakteristik

1.1. Systemübersicht

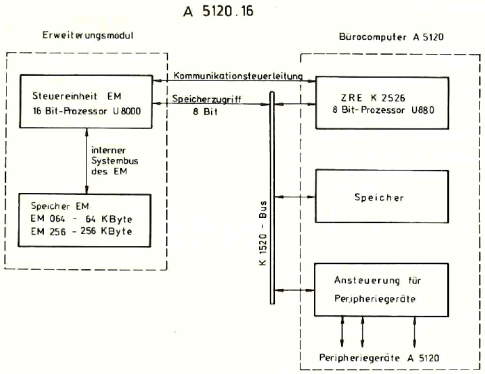


Abb. 1
Systemübersicht

Der Bürocomputer A 5120 wird um einen Erweiterungsmodul zum Bürocomputer A 5120.16 aufgewertet.

Der A 5120.16 ist ein 16 Bit-Programmentwicklungsplatz. Er nutzt ein UNIX-kompatibles Betriebssystem (MUTOS 8000), ist aber kein System zur universellen Anwendung als 16 Bit-Bürocomputer.
Der A 5120.16 dient der Vorbereitung des Einsatzes von U 8000-Mikrorechentechnik, speziell für Programmentwicklung und Implementierungsaufgaben.
- Erarbeitung von Software für Einsatz A 5120.16 unter MUTOS 8000.
- Entwicklung von in C-Sprache programmierte Software für andere Gerätetechnik.

Der Erweiterungsmodul besteht aus:
- EM 064: Steuerkarte mit U 8001- oder U 8002-Mikroprozessor
  Speicherkarte mit 64 KByte-Kapazität (RAM) 083-6-140-080
- EM 256: Steuerkarte mit U 8001-Mikroprozessor
  Speicherkarte mit 256 KByte-Kapazität (RAM) 083-6-140-081

Speicher- und Steuerkarte sind am K 1520-Systembus angeschlossen und sind über das Kabel 083-4-051-039 an der Griffseite miteinander verbunden.

Der K 1520-Erweiterungsmodul wird vom 8 Bit-Mikrorechner initialisiert, mit einem U 8000-Mikroprogramm geladen und gestartet. Steuert der U 8000 das System, hat der U 880 nur die Funktion eines Peripheriesteuerrechners.
Die Betriebsart, d. h. die Festlegung wer Master oder Slave ist, erfolgt durch die Software und kann auch durch sie jederzeit gewechselt werden.

Der Bürocomputer A 5120.16 arbeitet in zwei Betriebsarten:

- 8 Bit-Mode
  In diesem Mode steht der Speicher des EM vollständig dem U 880-K 1520-System zur Verfügung.
- 16 Bit-Mode
  In dieser Betriebsart arbeiten sowohl die Steuerkarte mit U 8000 als auch das U 880-K 1520-System. Die Steuerkarte hat dabei das alleinige Zugriffsrecht auf die Speicherkarte.
  Das U 880-System übernimmt inzwischen die Abarbeitung von peripheren Aufgaben und meldet deren Abarbeitung z. B. über Interrupt an.

Im 16 Bit-Betrieb werden die Modi zur Auswahl der vier möglichen 64 KByte-Speicherelemente wie folgt festgelegt:
Mode 0: Das Segment wird durch zwei Bit bestimmt (siehe Segmentweiche $AD5^X$ und $AD6^X$).
Mode 1: Es erfolgt die Zuordnung Segment 0 - Systemmode/Data
Segment 1 - Systemmode/Instruction
Segment 2 - Normalmode/Data
Segment 3 - Normalmode/Instruction
Mode 2: Die Segmente werden festgelegt durch die Signale SN0 und SN1 des U 8000.

Die Steuerbaugruppe besitzt als zentrales Element den 16 Bit-Prozessor U 8000, der den Speicher mit einer Kapazität von 256 oder 64 KByte ansteuert und verwaltet.
Er hat keinen direkten Zugriff zum K 1520-Speicher (64 KByte) und der Peripherie des 8 Bit-Systems. Die Speicherbaugruppe kann wahlweise mit 16 KBit oder 64 KBit RAM-Bausteinen bestückt sein. Daraus ergeben sich für diese Baugruppe Kapazitäten von
64 KByte RAM oder 256 KByte RAM.
Der Speicher kann vom 8 Bit-System bzw. 16 Bit-System adressiert werden. Ohne Steuerkarte ist der Speicher jedoch nicht funktionsfähig.
Empfohlen wird für die Einbauvariante des EM folgende STE-Zuordnung:

1	2	3	4	5	6	7	8	9	10	11
ASS	ZRE16	EM064 EM256	ZRE K2526	ABS	AFS	Speicher				

Für die Nachrüstung sind die Steckplätze 7 und 8 bzw. 6 und 7 zu verwenden.
Zu beachten ist, daß die ZRE 16 unbedingt in die Prioritätenkette IEI/IEO eingebunden werden muß (siehe Montagevorschrift).

1.2. Gerätevarianten

083-7-030-152
- Grundgerät mit: Stromversorgung, Monitor 1920 Zeichen und
  Steuereinheit mit: ZRE K 2526, OPS K 3526, AFS K 5122,
  ABS K 7024, ASS K 8025, EM 256 und
  1 x 8"-Floppy-Disk
- Beistellgerät mit 2 x 8"-Floppy-Disk
- Tastatur K 7637
- Drucker nach Spezifikation

083-7-030-153

- Grundgerät mit: Stromversorgung, Monitor 1920 Zeichen und
  Steuereinheit mit: ZRE K 2526, OPS K 3526, AFS K 5122, ABS K 7024
  ASS K 8025, EM 064 und 3 x 5,25"-Floppy-Disk
- Tastatur K 7637
- Drucker nach Spezifikation

2. Technische Daten für den EM

Parameter	EM 064	EM 256
Prozessortyp	U 8001 und U 8002	U 8001
Steckeinheitenformat	(215 x 170)mm	(215 x 170)mm
Steckplatzraster	15 mm	15 mm
Taktfrequenz	16 MHz	16 MHz
Syatemtakt	4 MHz	4 MHz
Stromaufnahme Steuerkarte 5 P	1,1 A	1,1 A
Stromaufnahme Steuerkarte 5 P	800 mA	950 mA
12 P	85 mA	-
5 N	0,15 mA	-

3. Belegungsplan – Baugruppen: EM 064 (083-6-140-080/-082)
EM 256 (083-6-140-081/-083)

ESE – X1 Systembus

n	An	Cn
1	00	00
2	00	00
3		
4	DB7	DB6
5	DB5	DB4
6	DB3	DB2
7	DB1	DB0
8	$\overline{WR}$	$\overline{RD}$
9	$\overline{MREQ}$	$\overline{MENDI}$
10	$\overline{IEO}$	$\overline{IEI}$
11	AB14	AB15
12	AB12	AB13
13	AB10	AB11
14	AB8	AB9
15	5 N ")	5 N ")
16	AB6	AB7
17	AB4	AB5
18	AB2	AB3
19	AB0	AB1
20	$\overline{RESET}$	
21	TAKT	
22	$\overline{IODI}$	
23		$\overline{INT}$
24	$\overline{WAIT}$	$\overline{IORQ}$
25	$\overline{RFSH}$	$\overline{RDY}$
26	$\overline{M1}$	
27		
28	12 P ")	12 P ")
29	5 P	5 P

ESE – X2 (Koppelbus)

n	An	Cn
1	5 P	5 P
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		
16		
17	$\overline{MDI}$ ')	$\overline{MDO}$ ')
18		
19		
20		
21		
22		
23		
24		
25		
26		
27		
28	00	00
29	00	00

X3

n	An	Bn
1	00	AD2
2	00	AD1
3	00	AD0
4	00	WAI
5	00	$\overline{MREQ-16}$
6	00	RDI
7	00	AS
8	SG0	$\overline{RFI}$
9	$\overline{8/16}$	MRBQ-8
10	A15I	SG1
11	A0I	$\overline{B/W}$
12	A14-8	RU
13	$\overline{PR}$	00

X4

n	An	Bn
1	$\overline{PER}$	AD15
2	00	AD14
3	00	AD13
4	00	AD12
5	00	AD11
6	00	AD10
7	00	AD9
8	00	AD8
9	00	AD7
10	00	AD6
11	00	AD5
12	00	AD4
13	00	AD3

') z. Zt. nicht genutzt
") nur für EM 064

III. Funktionsbeschreibung

1. Steuereinheit EM

1.1. Blockschaltbild

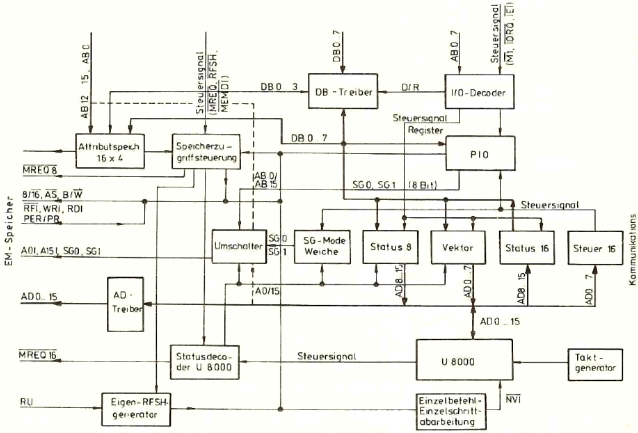


Abb. 2
Blockschaltbild Steuereinheiten

1.2. Taktgenerator

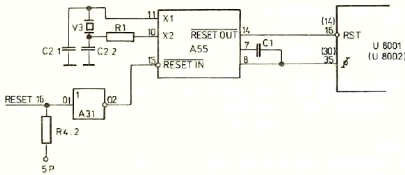


Abb. 3
Taktgenerator

Der Schaltkreis DS 8127 beinhaltet zahlreiche Funktionen zur Taktaufbereitung und RESET-WAIT- bzw. TIME OUT-Steuerung für die angeschlossenen Prozessortypen. Für den Anwendungsfall EM werden für den U 8000 folgende Funktionen genutzt:

- 16 MHz Grundtakterzeugung mit Hilfe eines extern angeschlossenen Quarzes über X1 und X2
- Teilung der Grundtaktfrequenz (Faktor 4) und Ausgabe des Prozessortaktes von 4 MHz für den U 8000 über Ausgang ZCK (A55/08). C1 zwischen Ausgang O7 und O8 des A55 bewirkt eine steilere Anstiegsflanke des Taktes.
- RESET-Steuerung der CPU über $\overline{\text{RESET IN}}$ und $\overline{\text{RESET OUT}}$ synchron zur steigenden Flanke von ZCK.
  Im Einschaltmoment der Anlage sind die Ausgänge des PIO A32 hochohmig. Über R4:2 ist der A32/31 high und bewirkt über A31/02 und dem Schaltkreis A55, daß der Prozessor im Zustand "RESET" verbleibt.
  Über dieses RESET-16-Signal kann die Freigabe bzw. ein erneutes Rücksetzen programmiert werden.

1.3. Statusdecoder für den U 8000

Der Prozessor U 8000 besitzt 4 Statusleitungen ST0 ... ST3 und damit 16 Statuszustände, die über die Statusdecoderbausteine A45 und A46 decodiert werden. Er erzeugt die erforderlichen Steuersignale für den I/O- und Speicherverkehr, Interruptbetrieb und Statusanzeige.

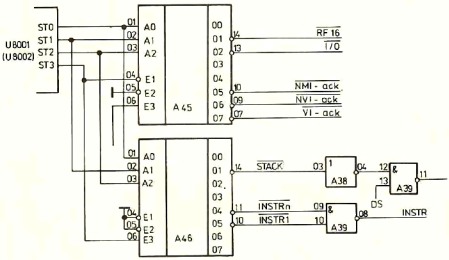


Abb. 4
Statusdecoder

Folgende Steuerleitungen werden für den EM decodiert:

Interruptsteuerung:

$\overline{\text{NMI-ack}}$ ($\overline{\text{NMI-acknowledge}}$): zum Rücksetzen des Paritätsfehler-FF's A46/09 auf der Speicher-STE des EM

$\overline{\text{NVI-ack}}$ ($\overline{\text{NVI-acknowledge}}$): zum Laden des Zählers zur Einzelbefehlsabarbeitung

$\overline{\text{VI-ack}}$ ($\overline{\text{VI-acknowledge}}$): zum Lesen des Interruptvektors im Register A34 und des Statusregisters A36.

Speichersteuerung:

$\overline{\text{RF16}}$: Steuersignal zum Auffrischen des dynamischen Speichers im Aktivmode des U 8000

$\overline{\text{INSTRn}}$, $\overline{\text{INST1}}$ } zur Bildung der Segmentsteuersignale SG0, SG1 für den Speicherzugriff

Systemsteuerung:

$\overline{STACK}$: zum Laden des Zählers zur Einzelbefehlsabarbeitung

$\overline{I/O}$: zum Lesen und Schreiben der an den U 8000 angeschlossenen Steuer- und Statusregister (A33/A35)

1.4. Segmentweiche und Adreßumschalter

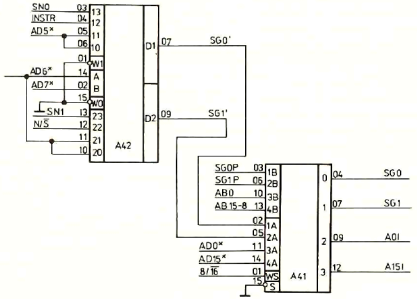


Abb. 5
Segmentweiche, Adreßumschalter

Der 256 KByte-Speicher wird in 4 Segmente zu je 64 KByte eingeteilt, die mit den Steuersignalen SG0' und SG1' ausgewählt werden. Die Segmentweiche A42 realisiert die Einstellung der Segmente für den Speicher durch den U 8000.
Die Bildung dieses Auswahlsignals erfolgt durch 3 unterschiedliche Quellen. Die Quellen selbst werden durch die Ausgänge 19 und 21 des Registers A33 (Steuerregister-16) umgeschaltet ($AD6^X$ und $AD7^X$), das vom U 8000 geladen werden kann.

1. Auswahl des Segments durch die Steuerleitungen SN0 und SN1.
2. Auswahl des Segments durch die Steuerleitungen INSTR (Programmspeicherzugriff) und $N/\overline{S}$ (Normal- und Systemmode).
3. Auswahl des Segments durch die Steuerleitungen $AD5^X$ und $AD6^X$ (A33 Ausgang 17 und 19) - gesteuert durch die CPU U 8000.

SG-Mode-Weiche A42:

$AD6^X$ A42/14	$AD7^X$ A42/02	SG0'	SG1'	
0	0	$AD5^X$	$AD6^X$	MODE 0
1	0	$AD5^X$	$AD6^X$	
0	1	INSTR	$N/\overline{S}$	MODE 1
1	1	SN0	SN1	MODE 2

Segmentauswahl durch die Steuerleitungen aus Tabelle "SG-Mode-Weiche A42":

MODE 0:	$AD5^X$	$AD6^X$		
	0	0	Segment 0	gleichberechtigt
	1	0	Segment 1	
	0	1	Segment 2	
	1	1	Segment 3	
MODE 1:	INSTR	$N/\overline{S}$		
	0	0	Segment 0 - System Data	
	1	0	Segment 1 - System Instruction	
	0	1	Segment 2 - Normal Data	
	1	1	Segment 3 - Normal Instruction	
MODE 2:	SN0	SN1		
	0	0	Segment 0	gleichberechtigt
	1	0	Segment 1	
	0	1	Segment 2	
	1	1	Segment 3	

Der Adreßumschalter (A41) stellt die Segmentsteuersignale und die Adressen zum Byte- bzw. Worttransfer entsprechend der Betriebsart des Erweiterungsmoduls (8 Bit- oder 16 Bit-MODE) vom jeweiligen Rechner durch.
Zum Byte- und Worttransfer werden die Adressen AB0/$AD0^X$ und AB15-8/$AB15^X$ benutzt (siehe Speicherdokumentation) ⟶ A0I und A15I.

1.5. Attributspeicher

Der Attributspeicher besteht aus dem Schaltkreis A13, dem 16 x 4 Bit-RAM A22 und dem Treiber A12.
Er wird vom U 880 programmiert. Seine Ausgangssignale sind nur wirksam bei Speicherzugriffen für einen 64 KByte-Bereich durch den U 880. Über den Treiber A12 ist der Inhalt des RAM durch den U 880 negiert rücklesbar.

Programmierung des 16 x 4 Bit-RAM

Im I/O Zyklus wird bei der Portadresse MODADR+7 (siehe Punkt III, 1.7.1.) der Eingang W aktiv geschaltet und die Datenbits DB0 ... 3 über den Treiber A12 eingelesen.

U 880:

AB15 ... AB08		AB07 ... AB0
Register A U 880		Portadresse
Seiten-Nr. 0 ... F_H	x x x x	MODADR+7

DB7 ... DB4	DB3 ... DB0
x x x x	A15-8 A14-8 WE PEN

Lesen des 16 x 4 Bit-RAM

Bei einem Speicherzugriff durch den U 880 auf den EM wird über AB12 ... AB15 der RAM adressiert. Es können in allen 4 Segmenten (Segmentauswahl durch den PIO A32) jedes der 16 Pages (Speicherbereich von 4 KByte) eines 64 KByte-Bereiches programmiert werden.
Durch den Schaltkreis A13 wird die Adresse (≙ Seiteninformation) bis zum nächsten Speicherzugriff zwischengespeichert.

Die Signale haben folgende Bedeutung:

PEN (page enable): Dieses Signal steuert mit RAMEN und $8/\overline{16}$ den Zugriff auf den Speicherbereich des EM. (A310/12 ⟶ $\overline{\text{MEN}}$). Bei PEN = 1 wird der Speicherzugriff durch den U 880 erlaubt.
Gleichzeitig werden die Signale $\overline{\text{MDO}}$ und $\overline{\text{MEMDI}}$ aktiv geschaltet (A311/10 und A17/11) und sperren den 64 KByte-Speicher des K 1520-Systems.
PEN = 0 ⟶ Sperrung des entsprechenden Speicherbereiches auf dem EM. Der Speicher im K 1520 wird freigegeben.

WE (write enable): Mit diesem Signal kann für jedes Page des EM eine Freigabe oder Sperre des Speichers bei Schreibzyklen programmiert werden (Schreibschutz).
WE = 0 ⟶ über A26/06 wird die Bildung des Signals $\overline{\text{WRI}}$ = aktiv verhindert.

A14-8, A15-8: Sie ersetzen die Adreßbits AB14 und AB15.
Die logische Adresse des U 880 kann durch Bildung einer physischen Adresse für den Speicher des EM in einen günstigen Speicherbereich transformiert werden. Das kann nur in Sprüngen von 16 KByte geschehen.

1.6. Steuerregister

Die Steuer- bzw. Kommunikationsregister erfüllen die Funktion des Daten- bzw. Statusaustausches zwischen dem U 8000 und dem MRS K 1520.
Jeder Prozessor besitzt dafür zwei 8 Bit-Register.
Der AD-Bus des U 8000 beschreibt die beiden Register
- A35 (Status-16-Register) mit dem high-Teil des AD-Busses
- A33 (Steuer-16-Register) mit dem low-Teil des AD-Busses.

Sie sind nicht rücklesbar.
Adressiert werden die Register über die STB-Eingänge nach der Bedingung

$$\text{STB} = \overline{\overline{\text{DS}} + \text{R}/\overline{\text{W}} + \overline{\text{AD7}} + \overline{\text{E}}/\text{A}} \ .$$

Das Register A35 kann durch das Signal $\overline{\text{READ Status-16}}$ (MODADR + 6) gelesen werden. Das Byte wird über den Treiber A11 direkt auf den K 1520-Bus geschaltet.

Das Register A33 wird durch $\overline{\text{RESET OUT}}$ beim Einschalten der Anlage (A33/14) in Grundstellung gesetzt.
Die Bits dieses Registers haben die Bedeutung:

Bit 0	PIOA-0	zum PIO A32; Bedeutung wird durch Software festgelegt
Bit 1	PIOA-1	
Bit 2	PIOA-2	
Bit 3		Freigabe für Einzelbefehlsabarbeitung
Bit 4	INT-16	INT-Auslösung über PIO
Bit 5	$AD5^X$	Segmentmodefestlegung für Speicherzugriff
Bit 6	$AD6^X$	
Bit 7	$AD7^X$	

Vom K 1520 werden die Register

A36 (Status-8-Register) mit MODADR + 4
A34 (Vektor-8-Register) mit MODADR + 5 nicht rücklesbar beschrieben (siehe I/O-Decoder).

Ist der Vektor ins Register A34 geladen, liegt Ausgang $\overline{\text{INT}}$ auf low. Er löst einen Vektorinterrupt des U 8000 ($\overline{\text{VI}}$) aus. Die Ausgabe des Vektors wird durch den U 880 über den PIO Port A Bit 3 vor dem erneuten Beschreiben des Registers überprüft. Damit ist eine interruptgesteuerte Unterbrechung des U 8000 vom K 1520 möglich. Im VI-Bestätigungszyklus wird der Vektor auf den low-Teil des AD-Busses des U 8000 gelesen ($\overline{\text{READ VEKTOR}}$ auf A34/13). Der high-Teil wird aus dem Status-8-Register gelesen ($\overline{\text{READ STATUS}}$ = 0 - A47/04 durch READ VEKTOR = 1).

1.7. Anpassung des EM an den K 1520-Bus

1.7.1. I/O-Decoder

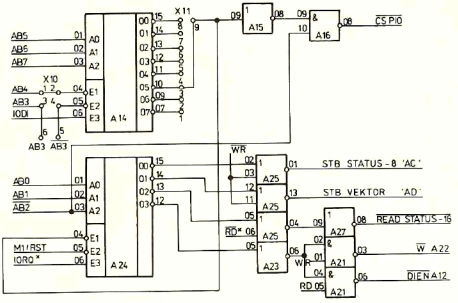


Abb. 6
I/O-Decoder

Der I/O-Decoder steuert den Ein-/Ausgabeverkehr des U 880-Systems. Von den 256 vorhandenen I/O-Portadressen belegt der EM 8 untereinanderliegende Adressen, die über die Wickelbrücken X10 und X11 einzustellen sind.
Es sind die Toradressen $A8_H$ ... AF_H mit folgender Bedeutung:

	Portadresse	Funktion
MODADR + 0	$A8_H$	PIO: Tor A Daten
MODADR + 1	$A9_H$	PIO: Tor B Daten
MODADR + 2	AA_H	PIO: Tor A Control
MODADR + 3	AB_H	PIO: Tor B Control
MODADR + 4	AC_H	Status-8-Register schreiben
MODADR + 5	AD_H	Status-8-Register schreiben
MODADR + 6	AE_H	Status-16-Register lesen
MODADR + 7	AF_H	Attributspeicher schreiben und negiert lesen

Um die genannten Portadressen decodieren zu können, werden beim A 5120.16 auf der Steuerkarte folgende Brücken gewickelt:

X10: 1 nach 2; 3 nach 6; 4 nach 5 und X11: 3 nach 9

1.7.2. Steuer-PIO A32

Datenbustreiber

Der Datenbustreiber A11 ist nur für den I/O-Verkehr zwischen U 880 und PIO des EM vorgesehen. Die Richtungsumschaltung wird durch die Bedingungen
- I/O-Lesezyklus
- Interruptbestätigungszyklus

gesteuert.

Steuer-PIO

Der PIO A32 ist in der Interruptprioritätenkette des K 1520 eingebunden und wird vom U 880 programmiert.

Portadressen: MODADR0 ... MODADR3

($A8_H$ ... AB_H) - siehe Punkt 1.7.1.

Beide Tore arbeiten im Bitmode. Interrupt lösen die Eingänge A4 (INT-16) und B7 ($\overline{PER}$) aus. Die Ports sind wie folgt belegt:

Bit	Port A	Port B
0	I PIOA-0	O SGOP
1	I PIOA-1	O SG1P
2	I PIOA-2	O $\overline{RAMEN}$
3	I $\overline{VI}$	O STOP
4	I INT-16	O RESET 16
5	I $M/\overline{S}$	O $\overline{TRQ8}$
6	I $8/\overline{16}$	O PR
7	I TREN	I $\overline{PER}$

I: Eingabebit
O: Ausgabebit

PIOA-0, PIOA-1, PIOA-2 — Vom Steuer-16 Register A33 (U 8000) Bits sind durch Software abfragbar (können auch als Interruptquellen benutzt werden)

$\overline{VI}$ — Abfrage des Steuersignals $\overline{INT}$ vom Vektor-8-Register A34 bei Auslösung eines $\overline{VI}$ durch den U 8000. Im Register A33 wurde der INT-Vektor eingeschrieben. Die Leitung wird vor dem Einschreiben eines erneuten Vektors in das Register überprüft. $\overline{VI}$ = low heißt, vektorisierte Interruptanforderung durch den U 8000 wurde noch nicht bearbeitet (Interruptvektor wurde noch nicht gelesen).

$\overline{INT-16}$ — Löst Interrupt beim U 880 aus (Ausgabe des Speichers an den U 880 oder Lesen des Status-16-Registers); $\overline{INT-16}$ = low wird ins Bit 5 des Registers A33 eingeschrieben.

$M/\overline{S}$ — Abfragesignal des U 880, ob der U 8000 im Normal- (high) oder Segmentmode (low) arbeitet.

$8/\overline{16}$ — Abfragesignal des U 880, ob 8 Bit- oder 16 Bit-Mode des Systems eingeschaltet ist.

TREN — Abfragesignal des U 880, ob der U 8000 seinen Speicherzugriff abgegeben hat (µO-Ausgang des U 8000).

SGOP, SG1P — Steuersignal für die Segmentierung des 256 KByte-RAM in 4 x 64 KByte Segmente (siehe Speicher-STE).

$\overline{RAMEN}$ — Schaltet den Zugriff des U 880 auf den Speicher des EM ein.

$\overline{STOP}$ — Steuert den $\overline{STOP}$-Eingang des U 8000. Damit kann eine Einzelschrittsteuerung vom U 880 aus durchgeführt werden.

RESET 16 — Rücksetzen des 16 Bit-Mode. Das FF A29 wird gesetzt.

$\overline{TRQ8}$ — Anforderung des 8 Bit-Mode vom U 880 (an µI-Eingang des U 8000).

PR — Rücksetzen des Paritäts-FF auf der Speicher-STE bei aufgetretenem Paritätsfehler ($\overline{PER}$ = low).

$\overline{PER}$ — Interruptauslösung zum U 880-System bei Paritätsfehler während des Speicherzugriffs.

Die unnegiert dargestellten Signale des PIO sind high aktiv, die negierten low aktiv.

1.7.3. Betriebsartensteuerung

Die Zugriffssteuerung legt das Zugriffsrecht der Prozessoren U 880 und U 8000 auf den Speicher des EN fest. Das Signal $8/\overline{16}$ (FF A29/09) übernimmt dabei die Steuerung.

8 Bit-Mode:

Nach dem Einschalten ist der PIO A32 hochohmig. Ausgang B4 ist über R4:2 high. Das FF A29 wird gesetzt, die LED V2 leuchtet und zeigt das Einschalten des 8 Bit-Mode durch $\overline{\text{RESET 16}}$ an. $8/\overline{16}$ ist high. Dieser Zustand ist vom U 880 über den PIO A32 Eingang 08 abfragbar. Gleichzeitig befindet sich der U 8000 im RESET durch den RST16 (A55/14).
Ist der U 8000 aktiv muß der U 880 über $\overline{\text{TRQ8}}$ = 0 (A32/32) den 8 Bit-Mode anfordern. Über $\overline{\mu I}$ = 0 am U 8000 wird $\overline{\mu O}$ = 0 und TREN = 1 (A38/12). Das bedeutet Freigabe des Nands A212/11 und Bildung von $\overline{\text{BUSRQ}}$ = 0 am U 8000, was gleichbedeutend ist mit Busanforderung durch den U 880. Der U 8000 quittiert die Anforderung mit $\overline{\text{BUSAK}}$ = 0 (A37/29, Ø4). In das FF A29 wird high eingeschrieben, d. h. Umschaltung auf den 8 Bit-Mode ($8/\overline{16}$ = 1) im nächsten M1-Zyklus des U 880.

16 Bit-Mode:

Nach Aufheben von RESET 16 oder $\overline{\text{TRQ8}}$ inaktiv ist der 16 Bit-Mode eingeschaltet (U 8000: $\overline{\text{BUSRQ}}$ = 1; $\overline{\mu I}$ = 1).
Der U 8000 hat das Zugriffsrecht. Der U 880 arbeitet in seinem Systemspeicher weiter, kann aber nicht auf den RAM des EN zugreifen.

Die Umschaltung der Prozessoren ist nur durch die Software zu steuern. Die Initialisierung im Einschaltmoment erfolgt durch den U 880 im 8 Bit-Mode, der durch RESET 16 automatisch zugeschaltet ist.
Die Abgabe des Speicherzugriffs vom U 8000 (Anforderung der Übernahme vom U 880) wird über den PIO A32/A4 durch $\overline{\text{INT-16}}$ dem U 880 gemeldet. Der nach der INT-Quittung folgende Ablauf der Umschaltung entspricht dem der 8 Bit-Mode-Anforderung.

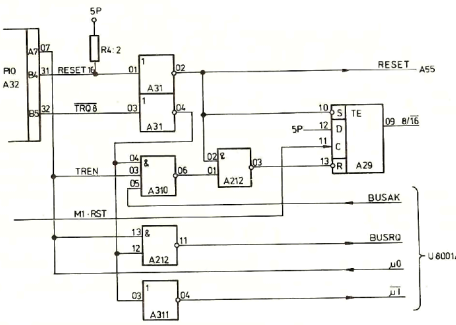


Abb. 7
Betriebsartensteuerung

1.8. RDY-Bildung

Das Signal $\overline{RDY}$ wird aktiviert bei:

- einem freigegebenen Speicherzugriff auf den Speicher des EM durch die Bedingungen
  $\overline{MEN}$ = 0 (A310/12) - siehe Zugriffssteuerung
  $\overline{MREQ}$ = 0
  $\overline{RFSH}$ = 1
  $\overline{MDI}$ = 1 - siehe Speicherprioritätensteuerung
  die am Nand A26/12 verknüpft werden und das Speicherbereitschaftssignal $\overline{MRDY}$ aktiv bilden. $\overline{MEN}$ ist aktiv, wenn bei einem erlaubten Speicherzugriff ($\overline{RAMEN}$ = 0) im 8 Bit-Mode ($8/\overline{16}$ = 1) der Seitenzugriff durch den Attributspeicher (PEN = 1) erlaubt ist (A310/12).
- einem I/O-Zugriff auf den EM (Portadressen $A8_H$ ... AF_H),
  (A14/10 = 0 ⟶ A15/08 ⟶ A16/06)
  Am Nand A16/06 wird das I/O-Freigabesignal mit IORQ verknüpft zu $\overline{IORDY}$.

Die beiden Signale $\overline{MRDY}$ und $\overline{IORDY}$ bilden $\overline{RDY}$ (A18/08 ⟶ A17/03), das auf den Systembus des K 1520 geführt ist und vom U 880 über den Betriebssystem-PIO abfragbar ist.

1.9. Speicherprioritätensteuerung

Der Speicher des EM kann in die zusätzlich im K 1520-System vorhandene Speicherprioritätenkette eingeordnet werden. Die entsprechenden Signale sind:

- $\overline{MDI}$ (memory disable in) und
- $\overline{MDO}$ (memory disable out).

$\overline{MDI}$ = 0 sperrt den Speicher des EM, $\overline{MDO}$ wird low. $\overline{MEMDI}$ bleibt inaktiv (A311/10; A17/11). $\overline{MDI}$ ist, wenn nicht beschaltet, inaktiv. Damit besitzt der EM höhere Priorität. Alle anderen Speichereinheiten sind dann mit $\overline{MEMDI}$ abschaltbar (z. B. der 64 KByte-Speicher des K 1520-systems). Bei einem erlaubten Speicherzugriff auf den Speicher des EM wird $\overline{MDO}$ und $\overline{MEMDI}$ aktiv.

1.10. Adreß-Datenbustreiber

Die bidirektionalen Treiber A52 und A43 koppeln den Adreß-Datenbus des U 8000 mit dem Speicher des EM. Sie werden mit dem Signal $8/\overline{16}$ aktiviert, wenn im 16 Bit-Mode gearbeitet wird. Richtungsgesteuert sind die Treiber durch die Steuersignale des U 8000 DS . $R/\overline{W}$ (A39/03), MREQ (≙ $\overline{MDO}$ = 0 ⟶ Speicherlesen 16 Bit). Die Brücke W4:1 ist geschlossen.

1.11. Eigenrefreshgenerator

Das Refresh des Speichers des EM erfolgt durch die CPU, die aktiv geschaltet ist ($8/\overline{16}$). Im Normalfall ist der Eigenrefreshgenerator inaktiv, d. h. das Refreshumlaufsignal RU (siehe Speicherkarte) steuert einen Monoflop (A114) in einer vorgeschriebenen Zeit. Wird diese Zeit überschritten, erzeugt der Eigenrefreshgenerator A113/08/09 Refreshimpulse mit doppelter Taktlänge.
Ins FF A113/05 wird high eingeschrieben. Das so gebildete Signal ERF gibt das Nand A211/12 frei und damit die ERFI-Impulse für den Speicher des EM. Das erfolgt solange, bis ein kompletter RFSH-Adreßzyklus abgearbeitet ist und RU wieder neu triggert.
Durch das zweite Monoflop A114 über Nand A211/06 wird WAITI gebildet. Aus diesem Steuersignal entsteht
- $\overline{WAIT\ 16}$ A27/12 für U 8000
- $\overline{WAIT}$ A17/06 für U 880

Beide CPU's befinden sich im WAIT-Zustand.

1.12. Einzelbefehlsabarbeitung

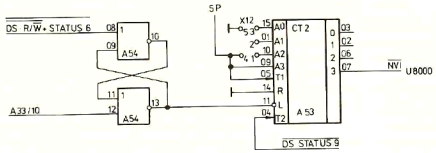


Abb. 8
Einzelbefehlsabarbeitung

Die Einzelbefehlsabarbeitung unterstützt im Falle der Programmentwicklung bzw. beim Einsatz des EM in einem Entwicklungssystem die TRACE-Funktion eines Debuggers. Sie ermöglicht die Programmunterbrechung nach jedem Befehl, der nach einer RETURN-Anweisung abgearbeitet wird. Die Freigabe dieser Baugruppe erfolgt über den Ausgang 10 des Steuer-16-Registers A33. Dieser Ausgang muß vor der Abarbeitung eines RET-Befehls, also im Debuggerprogramm wieder rückgesetzt werden. Die Freigabe setzt voraus, daß in einer vorher geladenen speziellen Routine der Selbsthaltekreis A54 rückgesetzt wurde.
Erfolgt beim Übergang vom Debugger- in den Anwenderstatus eine Stackoperation (RET-Befehl), wird das mit STATUS 9 angezeigt und mit dem Signal DS getort. Der Zähler zählt rückwärts. Er muß über die Brücke X12 so eingestellt sein, daß entsprechend der Betriebsart und dem eingesetzten Prozessortyp der Ausgang A53/07 nach dem letzten STACK-Zugriff aktiv wird. Im anschließenden Befehlsaufruf wird das Signal $\overline{NVI}$ = 0 akzeptiert und das Programm verzweigt wieder in den Debuggerstatus. Damit wurde genau ein Anwenderbefehl abgearbeitet. Das Neuladen des Zählers wird in dem NVI-acknowledge-Zyklus (Status 6 und Torsignal DS . $\overline{R/W}$) durchgeführt.

2. Speicher des Erweiterungsmoduls

2.1. Allgemeines

Der Speicher des EM kann wahlweise mit zwei unterschiedlichen Schaltkreistypen bestückt sein
- U 2164 D 20 16 KBit dynamisch RAM
- KM 565 RU 5G 64 KBit dynamisch RAM.

Durch unterschiedliche Bestückungsmöglichkeiten sind die Pins 1, 8, 9 wie folgt belegt:

	U 256	U 2164
Pin 1	5 N	n.c. (ohne Anschluß)
Pin 8	12 P	5 P
Pin 9	5 P	A7

Es ergeben sich die zwei Speicherkarten:

- Typ 062-9000
  1.62.519000.4; 083-4-710-093 - Gesamtkapazität 256 KByte
- Typ 062-9001
  1.62.519001.2; 083-4-710-094 - Gesamtkapazität 64 KByte

2.2. Blockschaltbild

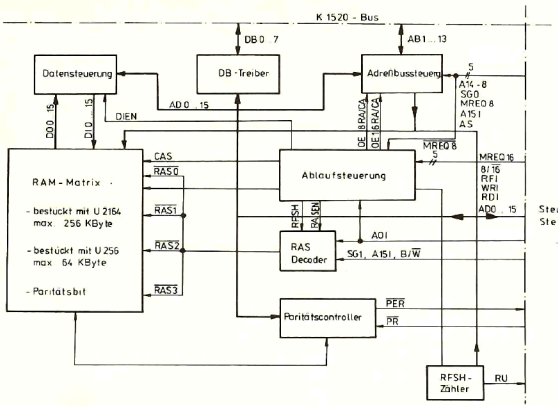


Abb. 9
Blockschaltbild Speicher

2.3. Speichermatrix

Die Speichermatrix besteht aus 36 Schaltkreisen, die in 4 Blöcken zu je 9 Bausteinen eingeteilt ist. 8 Bausteine eines Blockes enthalten die Dateninformation, der 9. speichert das Paritätsbit des entsprechenden Datenbytes.
Die Blockauswahl erfolgt durch die Signale $\overline{RAS0}$ ... $\overline{RAS3}$, während $\overline{CAS}$, $\overline{WE}$ und die Adreßleitungen A0 ... A7 bzw. A0 ... A6 direkt an alle Bausteine geführt sind.
Durch die Möglichkeit der Byte- oder Wortverarbeitung sind die Datenleitungen byteweise je zwei Blöcken zugeordnet, wobei sich folgende Verteilung der 16 Datenleitungen ergibt:

$\overline{RAS0}$ AD0 ... AD7 unteres Datenbyte
$\overline{RAS1}$ AD0 ... AD7 unteres Datenbyte
$\overline{RAS2}$ AD8 ... AD15 oberes Datenbyte
$\overline{RAS3}$ AD8 ... AD15 oberes Datenbyte

Im Refreshzyklus sind die Signale $\overline{RAS0}$ ... $\overline{RAS3}$ gleichzeitig aktiv.

2.3.1. Ansteuerung der Speichermatrix 64 KByte

Die 16 KBit-Speicherchips werden über 7 multiplex Adreßeingänge A0 ... A6 angesteuert.

Speicherzugriff vom U 880: Zeilenadresse über den Treiber A15 ⟶ AB1 ... AB7
Spaltenadresse über den Treiber A16 ⟶ AB8 ... AB13
AB14 wird als A14-8 gebildet (A16/07 - s. Attributspeicher auf Steuer-STE).
Die Segmentauswahlleitungen SG0 und SG1 werden nicht benötigt.

Speicherzugriff vom U 8001/U 8002

Zeilenadresse über Treiber A13 ⟶ AD1 ... AD7
Spaltenadresse über Treiber A14 ⟶ AD8 ... AD14

In beiden Fällen erfolgt die Blockauswahl durch die Signale A0I und A15I. A0I steuert über den Selbsthaltkreis A33 und A34 die Auswahl der geraden und ungeraden Adreßbytes ($\overline{RAS0}$ - $\overline{RAS1}$ oder $\overline{RAS2}$ - $\overline{RAS3}$). A15I unterscheidet die zwei unteren von den zwei oberen Bytes.

2.3.2. Ansteuerung der Speichermatrix 256 KByte

Die 64 KBit Speicherchips werden über 8 multiplex Adreßeingänge (A0 ... A7) angesteuert.

Speicherzugriff vom U 880

Zeilenadresse über Treiber A15 ⟶ AB1 ... AB7
Die Adreßleitung A7 des RAM-Chips wird mit dem Signal A15I (A15/0) belegt.
Spaltenadresse über Treiber A16 ⟶ AB8 ... AB13
A6 wird aus dem Signal A14-8 (A16/7) gebildet
A7 wird aus dem Signal SG0 (A16/8) gebildet

Die Adreßleitungen A14-8 und A15I beinhalten die Zusatzadreßinformation des Attributspeichers. Die im 8 Bit-Mode verwendeten Segmentleitungen des PIO werden als
SG0 für die 8. Adreßleitung der Spaltenadresse
SG1 für die Unterscheidung der zwei unteren von den zwei oberen Bytes verwendet und gehen direkt auf den RAS-Decoder A34/A35.

A0I steuert die Auswahl der geraden oder ungeraden Adressen und damit die Auswahl der entsprechenden Blöcke.

Speicherzugriff vom U 8000

Die Adreßleitungen AD1 ... AD15 werden über die Treiber A13/A14 an die Speicherchips geführt. Die Signale A14-8 und A15I sind unbenutzt. Die Segmentauswahl geschieht hier durch die Segmentleitungen des U 8000 (SG1).

In allen Fällen des Speicherzugriffs ist das Steuersignal B/$\overline{W}$ mit A0I verknüpft, d. h. bei Wortzugriffen wird A0I durch das Signal B/$\overline{W}$ gesperrt und zwei $\overline{RAS}$-Signale werden aktiv geschaltet. Das entspricht der Datenverarbeitungsbreite von 16 Bit.

2.4. RAS-Decoder

Die Anzahl der zu aktivierenden RAS-Signale wird je nach Art des Speicherzugriffs im RAS-Decoder bestimmt.

	RFI RFSH	B/$\overline{W}$	A0I	A15I SG1	$\overline{RAS0}$	$\overline{RAS1}$	$\overline{RAS2}$	$\overline{RAS3}$
RFSH-Zyklus	0	x	x	x	0	0	0	0
Worttransfer	1	0	x	0	(0)	1	(0)	1
	1	0	x	1	1	(0)	1	(0)
Bytetransfer	1	1	1	0	(0)	1	1	1
	1	1	1	1	1	(0)	1	1
	1	1	0	0	1	1	(0)	1
	1	1	0	1	1	1	1	(0)
kein Zugriff	1	x	x	x	1	1	1	1

64 KByte Speichermatrix

A1 ... A7
A8 ... A13 + A14-8

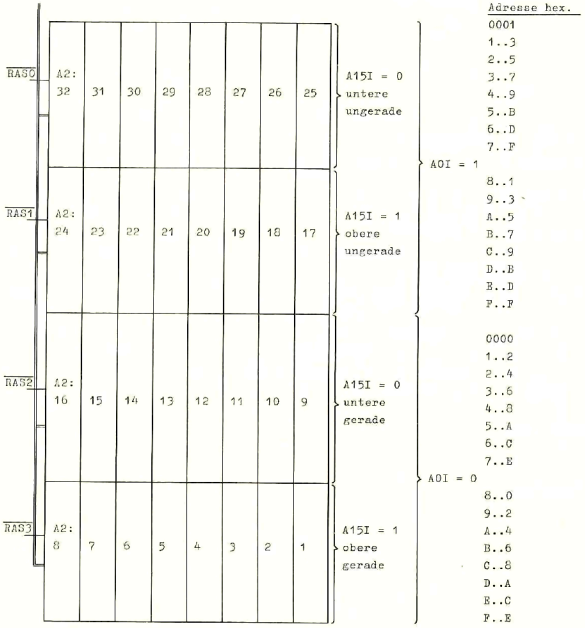


Abb. 10
Adreßübersicht 64 KByte-Matrix

256 KByte Speichermatrix

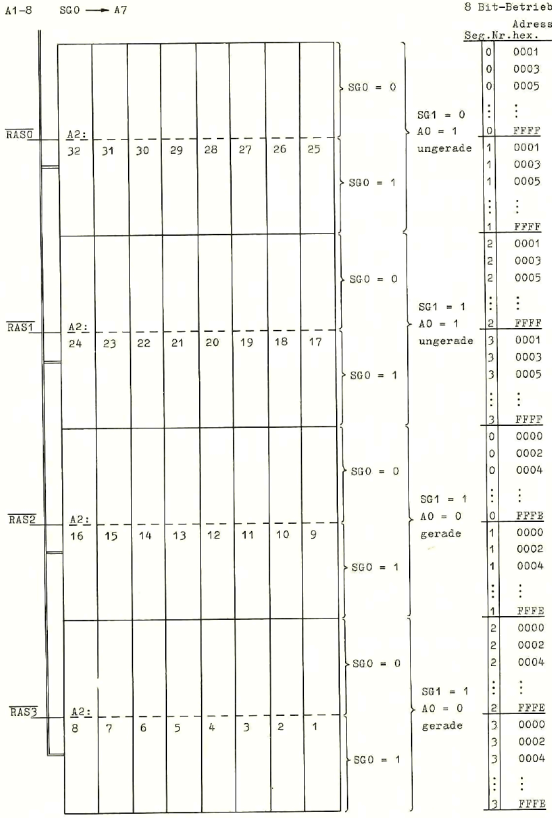


Abb. 11
Adreßübersicht 256 KByte-Matrix

2.5. Ablaufsteuerung

Die Aufgabe dieser Baugruppe ist es, die genauen Zeitabläufe der dynamischen RAK-Bauelemente bei einem Speicher- bzw. Refreshzugriff zu steuern und die Treiber zur Adreß- bzw. Datendurchschaltung zeitrichtig zu schalten.

Die Steuersignale sind:

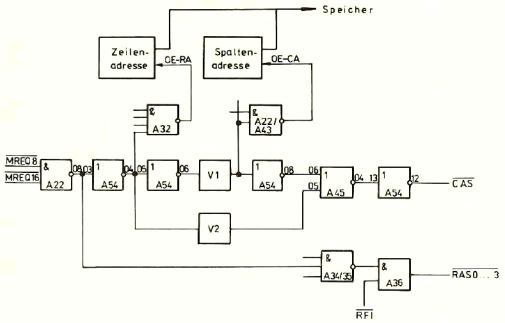
$\overline{\text{MREQ-8}}$
$\overline{\text{MREQ-16}}$
$\overline{\text{RFI}}$
RDI
WRI

Die Steuerung des Speicherzugriffs geschieht durch die Signale $\overline{\text{MREQ-8}}$ bzw. $\overline{\text{MREQ-16}}$ (A22/08).

- Freigabe der Nands A34/12, A35/06/08/12 für die Bildung des Zeilenauswahlimpulses $\overline{\text{RAS0}}$ ... $\overline{\text{RAS3}}$.
  Die Zeilenadresse, die über die Register A13 (U 880 über Systembus) oder A15 (U 8000 über Steckverbinder X4) an die Speicher geschaltet wird, wird durch das Signal $\overline{\text{8/16}}$ über die Mehrfachnands A32/06 und A32/08 ($\overline{\text{CS-RA-8}}$ für A15 und $\overline{\text{CS-RA-16}}$ für Treiber A13) nach Freigabe durch $\overline{\text{MREQ-8}}$ oder $\overline{\text{MREQ-16}}$ (A22/08) gesteuert.
- Bereitstellung der Spaltenadresse über die Register A14 oder A16 durch die Signale $\overline{\text{CS-CA-8}}$ bzw. $\overline{\text{CS-CA-16}}$, die durch $\overline{\text{MREQ-8}}$ bzw. $\overline{\text{MREQ-16}}$ über A22/08 - A22/03 oder A22/06 gesteuert wird.
- Die Spaltenadresse ist nach dem verzögerten (R8/01) Aktivieren vom Spaltenauswahlsignal $\overline{\text{CAS}}$ = low (A54/06, A54/08, A45/04, A54/12) wirksam.

Die U 8000-Adresse wird mit dem Signal $\overline{\text{AS}}$ gelatcht (siehe Steuerkarte).
Der Ablauf ergibt sich entsprechend den geforderten Zeitabläufe an den dynamischen Speichern (Abb. 12).

Die Richtungssteuerung der Datentreiber A55 bis A58 übernimmt das Signal $\overline{\text{RDI}}$. Die Funktion "Lesen oder Schreiben" der Speicher ist durch $\overline{\text{WRI}}$ gesteuert, das über Nor A54/02 die $\overline{\text{WE}}$-Eingänge der Speicherchips belegt.



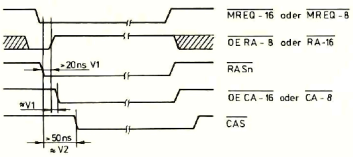


Abb. 12
Prinzipschaltung Ablaufsteuerung

2.6. Refreshzähler

Die Speichersteckeinheit besitzt einen eigenen RFSH-Zähler, um auch bei einem Betriebsartenwechsel (8 Bit- und 16 Bit-Mode) immer einen fortlaufenden Refresh-Adressen-Umlauf zu gewährleisten. Die RFSH-Adressen der CPU U 880 und U 8000 bleiben unberücksichtigt.
Das interne Refreshsignal $\overline{RFI}$ taktiert den Zähler A24/A25, der wiederum mit dem Umlaufkontrollsignal RU die RFSH-Umläufe überwacht und zum Eigenrefreshgenerator der Steuerkarte meldet. Wenn alle Zellen aufgefrischt sind, der Adreßzähler also umgelaufen ist, wird RU die Zeitüberwachung im Eigenrefreshgenerator rücksetzen.
Ist das Signal RU aktiv, wird der Zähler A24/A25 in Grundstellung rückgesetzt.
Über den Treiber A26 werden 7 Bit als RFSH-Adresse an die Speicherchips geführt. Sie belegen den Adreßbus, wenn $\overline{RFI}$ = low ist. Das 8. Bit (A26/12) wird mit dem Signal RFI am A22/06 verknüpft und gibt die Nands A36 zur Bildung der Zeilenansteuersignale $\overline{RAS0}$ ... $\overline{RAS3}$ frei.
Alle 4 Signale werden gleichzeitig beim RFSH-Zyklus aktiv.

2.7. Paritätssteuerung

Zur Paritätskontrolle wird in einem zusätzlichen Speicherelement für jedes Datenbyte ein Paritätsbit als 9. Bit mit gespeichert (für jedes Wort 2 Paritätsbit). Das erfolgt bei jedem Schreibzyklus.
Bei jedem Lesezyklus wird das 9. Bit aus dem RAM gelesen und steuert über die Nands A43/08, A43/11 und Nors A44/08, A44/10 die Paritätsprüfer A60 (unteres Datenbyte) bzw. A61 (oberes Datenbyte) über die Eingänge W0 und W1. Gleichzeitig wird beim Lesevorgang in den Bausteinen A60/A61 erneut die Parität kontrolliert, da das gelesene Datenbyte an den Eingängen liegt. Die Ausgänge sind im Fehlerfall "low". Dieses Signal, verknüpft mit AOI (A45/01) bzw. $\overline{AOI}$ (A45/13) wird ins FF A46/09 bei RDI = 1 eingeschrieben. Die LED V1 leuchtet, das Signal $\overline{PER}$ = 0. Es führt zum Interrupt des Prozessors ($\overline{NMI}$ = 0 am U 8000).
Gelöscht wird das FF durch das Signal $\overline{PR}$ = 0 über den Setzeingang . V1 verlischt.

IV. Kurzzeichenübersicht (EM-spezifische Signale)

A0I	Adreßleitung A0 intern	
A15I	Adreßleitung A15 intern	
AS	Gültigkeitssignal für U 8000 Adreßbus	address strobe
AD0 ... AD15	Adreßbus U 8000	
A14-8	Adreßleitung 14 aus Attributspeicher	
B/$\overline{W}$	Byte oder Wort	
$\overline{CAS}$	Spaltenansteuersignal	column-address strobe
$\overline{CS-CA-8}$	Freigabe Register für Spaltenadresse 8 Bit	
$\overline{CS-CA-16}$	Freigabe Register für Spaltenadresse 16 Bit	
$\overline{CS-RA-8}$	Freigabe Register für Zeilenadresse 8 Bit	
$\overline{CS-RA-16}$	Freigabe Register für Zeilenadresse 16 Bit	
DS	Gültigkeitssignal für Schreib-/Lesedaten	data strobe
ERF	Eigenrefresh	
INSTRn	Operationscodeaufruf n-tes Wort	instruction n
INSTR1	Operationscodeaufruf 1. Wort	instruction 1
I/O	Ein-/Ausgabestatus	
$\overline{IORDY}$	I/O-Bereitschaft	I/O ready
$\overline{MRDY}$	Speicherbereitschaft	memory ready
$\overline{MEN}$	Speicherzugriffserlaubnis	memory enable
MDI	Speichersperre - Eingang	memory disable in
MDO	Speichersperre - Ausgang	memory disable out
MRD-8	Speicherlesen des 8 Bit-Systems	memory read 8 bit
MRD-16	Speicherlesen des 16 Bit-Systems	memory read 16 bit
$\overline{MREQ-8}$	Speicheranforderung 8 Bit	memory request 8 bit
$\overline{MREQ-16}$	Speicheranforderung 16 Bit	memory request 16 bit
$\overline{NMI}$	nichtmaskierter Interrupt	
$\overline{NVI}$	nichtvektorisierter Interrupt	
M/$\overline{S}$	Betriebsart Normal/System	
$\overline{PR}$	Paritätsfehler rücksetzen	parity error reset
$\overline{PER}$	Paritätsfehler	parity error
PEN	Seitenauswahl	page enable
RAMEN	RAM-Auswahl	RAM enable
$\overline{RAS}$	Zeilenansteuersignal	row address strobe
$\overline{RDI}$	internes Lesesignal	read intern
$\overline{RPU}$	Refreshumlaufsignal	
$\overline{RPI}$	interner Refreshimpuls	
R/$\overline{W}$	Lesen/Schreiben	read/write
RESET 16	Rücksetzen U 8000	
SG0	Segment 0	
SG1	Segment 1	
Stack	Stackoperation	
TREN	Übertragungsfreigabe	transfer enable
$\overline{TRQ8}$	Übertragungsanforderung	transfer request
$\overline{VI}$	Vektorinterrupt	
$\overline{WAIT16}$	WAIT-Anforderung U 8000	
$\overline{WRI}$	internes Schreibsignal	write intern
8/$\overline{16}$	8-/16-Bit-Status	